

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-074081

(43)Date of publication of application : 04.05.1983

(51)Int.Cl. H01L 29/78
// H01L 27/06
H02H 7/20
H03F 1/00

(21)Application number : 56-174313

(71)Applicant : NEC CORP

(22)Date of filing : 29.10.1981

(72)Inventor : HARA TOMONORI

(54) SEMICONDUCTOR DEVICE

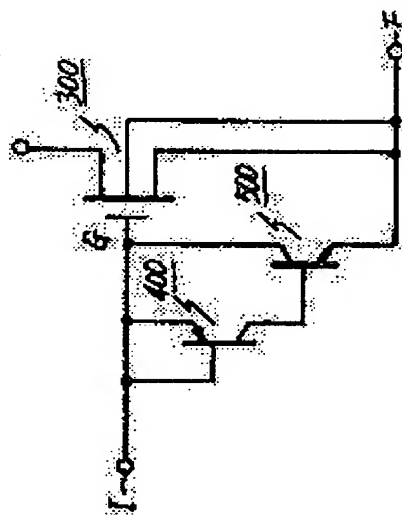
(57)Abstract:

PURPOSE: To allow the sufficient protection of an element even when the gate breakdown voltage decreases, by forming a protection element serving both as an emitter-base short-circuiting diode of a lateral P-N-P transistor and as a vertical transistor.

CONSTITUTION: The emitter-base of a lateral P-N-P transistor Tr 400 are short-circuited resulting in the formation of a protection diode. When a surge is impressed on an input terminal I, a depletion layer extended from the collector side of the Tr 400

reaches the emitter, and then a current instantaneously flows from the emitter into the collector by punch-through. Since this current serves as the base current for the vertical N-P-N Tr 500, the Tr 500 turns conductive and discharges the charge of the surge impressed on the terminal I into the terminal E. Thereafter, since the voltage of the terminal I is immediately attenuated when the surge voltage disappears, the base current for the Tr 500 is

not supplied resulting in no conduction of the Tr 500. Since the collector current for the Tr 400 generates at the point when of the base current of the Tr 500 is low, the corresponding punch-through voltage generates also at the point of low voltage. Thereby, even when the gate breakdown voltage of a MOSFET 300 decreases, the protection is performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報 (A)

昭58—74081

⑪ Int. Cl.³

H 01 L 29/78

// H 01 L 27/06

H 02 H 7/20

H 03 F 1/00

識別記号

庁内整理番号

7377—5F

6370—5F

7828—5G

6832—5J

⑬ 公開 昭和58年(1983)5月4日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

東京都港区芝五丁目33番1号日

本電気株式会社内

⑯ 特 願 昭56—174313

⑰ 出 願 入 日本電気株式会社

⑱ 出 願 昭56(1981)10月29日

東京都港区芝5丁目33番1号

⑲ 発 明 者 原友意

⑳ 代 理 人 弁理士 内原晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

一導電型の半導体領域に互いに隣接して形成された他の導電型の第1および第2の領域と、該第2の領域に形成された前記一導電型の第3の領域とを有し、前記半導体領域と前記第1の領域とを互いに接続して一方の電極とし、前記第3の領域を他方の電極とし、前記一方および他方の電極を過大電圧から保護すべき部分に接続したことを特徴とする半導体装置。

発明の詳細な説明

本発明は半導体装置、特にMOS型電界効果トランジスタ(以下、MOS FETという)のゲート破壊を防止するゲート保護素子に関するものである。

一般にMOS FETのゲート部分は、その構造上、ゲート電極と半導体基板とを一对の電極としかつその間の酸化膜を誘電体とする平行コンデンサとみなせるので、ゲート電極への印加し得うる電圧の大きさは誘電体の破壊耐圧 V_m で決まり、自ら限界がある。このためゲート電極へサージ等による異常電圧が印加された場合、ゲート破壊を起こすことがあるのでMOS FETのゲート保護素子が必要となる。

第1図は従来のMOS FETのゲート保護回路を示す回路図である。図中の200はゲート破壊防止のために接続されたダイオード、100はMOS FETであり、MOS FET100のゲートG及びダイオード200の陽極が入力端子Iに接続されている。このように入力端子Iと接地端子Eとの間にダイオード200を介挿することにより、電流バイパス路を設けMOS FET100のゲートGに過大電圧が印加されるのを防止し、ゲート破壊を防止している。従って、従来回路において、ダイオード200がMOS FET100

のゲート破壊防止に有効に作用するためにはダイオード200の耐圧 V_B がMOS FET100の破壊耐圧 V_M より低くする必要がある。

このように低い耐圧 V_B を得るゲート保護素子の例として第2図にその断面図を示すような横型PNPトランジスタのエミッタとベースを短絡して保護ダイオードとしたものがある。すなわち、P型半導体基板21にN⁺型埋込み分離層23とを形成し、その上にN型エピタキシャル層24を形成してN⁺型埋込み層22とP⁺型埋込み分離層23とをN型エピタキシャル層24中に成長せしめている。さらに表面酸化膜36を拡散マスクとしてP⁺型絶縁分離領域25をP⁺型埋込み分離層23のN型エピタキシャル層24中への成長部分に接触するように拡散形成する。その後、PNPトランジスタのコレクタおよびエミッタとなるP型領域29、28とベース取り出し部となるN⁺型領域32を拡散形成する。更に、表面酸化膜36の開孔を通して金属配線20でベース取り出しN⁺型領域32とエミッタP型領域28と

を接続してこれを入力端子Iとし、コレクタP型領域29を基準電位端子Eに接続する。尚、入力端子Iと基準電位端子Eとは第1図と対応したものである。

次に第2図に示す保護ダイオードの動作原理を示す。入力端子Iにサージが印加されると横型PNPトランジスタのコレクタP型領域29側から伸びた空乏層がエミッタP型領域28に到達し、突き抜け現象により入力端子Iから接地端子Eに電流が流れ、ゲートに過大電圧が印加されるのを防ぐことによってMOS FET100のゲート電極が保護されることになる。しかしゲート酸化膜の厚さが薄くなったりピンホール等がある場合には、ゲート構造の破壊耐圧 V_M が小さくなるため、保護ダイオード200の瞬時的に流れる電流によって発生する電圧何如によっては十分に保護作用を示さない場合があった。

本発明の目的は小さなゲート破壊耐圧 V_M を有するMOS FETをも十分に保護できるゲート保護素子を備えた半導体装置を得ることにある。

本発明によれば、一導電型の半導体領域に互いに隣接する他の導電型の第1および第2の領域を有し、この第2の領域内には一導電型の第3の領域を有し、前述の半導体領域と第1の領域とを互いに接続して一方の電極とし、第3の領域を他方の電極とし、一方および他方の電極を過大電圧から保護すべき部分に接続した半導体装置を得る。

次に、図面を参照して本発明をより詳細に説明する。

第3図は本発明の一実施例を示す回路図である。第3図において横型PNPトランジスタ400のエミッタ・ベース間は短絡されて保護ダイオードを形成しており、この短絡点が縦型NPNトランジスタ500のコレクタと入力端子Iに接続されている。さらにPNPトランジスタ400のコレクタはNPNトランジスタ500のベースに接続され、NPNトランジスタ500のエミッタが端子Eに接続されている。入力端子Iと端子Eとが例えばMOS FETのゲート・ソース間や、ゲート電極と接地電位との間である過大電圧から保護

すべき部分に接続されている。

次に、第3図の実施例についてその動作を説明する。入力端子Iにサージが印加されると横型PNPトランジスタ400のコレクタ側から伸びた空乏層がエミッタへ到達し突き抜け現象により瞬時的にエミッタからコレクタへ電流が流れる。即ちダイオード構造の陽極から陰極に電流が流れることになる。この電流が縦型NPNトランジスタ500のベース電流となるため縦型NPNトランジスタ500は導通し、入力端子Iに印加されたサージの電荷を端子Eに放電する。その後サージ電圧がなくなると、直ちに入力端子Iの電圧は減衰するので、縦型NPNトランジスタ500のベース電流を供給しなくなり従って縦型NPNトランジスタ500は非導通となる。

上述の動作は従来回路と異なりダーリントン接続されたPNPトランジスタ400のコレクタ電流はNPNトランジスタ500のベース電流程度の非常に小さい電流で起こるので、対応するパンチスルー電圧も低いところで起こる。このためた

とえMOS FET 300のゲート破壊耐圧 V_M が低下していても確実にゲートを保護することができると。

第4図(a)~(c)は本発明の一実施例の製造工程を示す構造断面図である。次に、順を追って説明する。まず同図(a)に示すようにP型半導体基板1に周知の方法で N^+ 型埋込領域2及び P^+ 型埋込領域3を形成する。次にN型エピタキシャル層4を気相成長法により半導体基板1上に成長させ、電気的に絶縁された領域を作るために、エピタキシャル層4に周知の方法で P^+ 型絶縁分離領域5を形成する。この時予め半導体基板1に形成された P^+ 型埋込領域3もエピタキシャル層4の方へせり上がり絶縁分離領域5と連続する。次に同図(b)に示すようにエピタキシャル層4に周知の方法でMOS FET 300(ここではPチャンネルMOS FETを用いる)のP型ソース領域6及びドレイン領域7と横型PNPトランジスタ400のP型エミッタ領域8及びコレクタ領域9を同時に形成する。その後、MOS FET 300の N^+ 型チャ

ネルストップ領域10と縦型NPNトランジスタ500の N^+ 型エミッタ領域11及び N^+ 型コレクタ領域12(横型PNPトランジスタ400の N^+ 型ベースコンタクト領域を兼ねている)を同時に形成する。続いてMOS FET 300のゲートGを周知の方法で形成する。次に同図(c)に示すように周知の方法で所定のコンタクト領域を表面酸化膜19に開口し、アルミニウムを電子ビーム方式により蒸着し、電極パターン13, 14, 15及び16, 17, 18を形成する。この時に、横型PNPトランジスタ400のエミッタ・ベース短絡のダイオード(1)と縦型NPNトランジスタ500とを兼ね備えた保護素子が形成されることになり、ダイオードの陽極13と縦型NPNトランジスタ500のコレクタ電極15は共通に入力端子Iに接続され、縦型NPNトランジスタ500のエミッタ電極14は端子Eに接続されている。かようにして本発明によるゲート破壊防止のための保護素子が製造される。

かかる本発明による実施例によれば、入力端子

Iに印加された過大電圧を新たな保護素子により迅速かつ確実にバイパスするためゲート破壊を防止することができる。なお本発明においては新たな付加工程はない。

このように、本発明によれば従来の製造方法で新たな付加工程を付加することなく迅速が確実にゲート破壊を防止することができるためゲート酸化膜が薄くなったリピンホール等がある場合にゲート破壊耐圧が低下しても十分に保護作用を示すゲート保護素子を提供することができる。

尚本発明は上記実施例に限られることなく特性を換えても本発明の範囲を逸脱するものではない。

図面の簡単な説明

第1図は従来のMOS FETの回路を示す回路図、第2図は第1図に示した回路に組込まれた従来のダイオードの構造断面図、第3図は本発明の一実施例によるMOS FETのゲート保護素子を組み込んだ回路を示す回路図、第4図(a)~(c)は本発明の一実施例のゲート保護素子の製造工程を示

す構造断面図である。

100, 300……MOS FET、G……MOS FETのゲート、I……入力端子、E……接地端子、200, 400……横型PNPトランジスタ、500……縦型NPNトランジスタ、1, 21……P型半導体基板、2, 22……N型埋込領域、3, 23……P型埋込領域、4, 24……N型エピタキシャル層、5, 25……P型絶縁分離領域、6……P型ソース領域、7……P型ドレイン領域、8……横型PNPトランジスタのP型エミッタ領域、9……横型PNPトランジスタのP型コレクタ領域、10…… N^+ 型チャンネルストップ領域、11……縦型NPNトランジスタの N^+ 型エミッタ領域、12……縦型NPNトランジスタの N^+ 型コレクタコンタクト領域兼横型PNPトランジスタの N^+ 型ベースコンタクト領域、13……横型PNPトランジスタのエミッタ電極、14……縦型NPNトランジスタのエミッタ電極、15……縦型NPNトランジスタのコレクタ電極兼横型PNPトランジスタのベース電極、16……

...MOS FETのソース電極、17...MOS FETのドレイン電極、18...MOS FETのゲート電極、19、36...表面酸化膜。

代理人 弁理士

内 原

智

